

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-194042

(43)Date of publication of application : 04.08.1989

(51)Int.Cl.

G06F 12/08

G06F 12/12

(21)Application number : 63-018991

(71)Applicant : FUJITSU LTD

(22)Date of filing : 29.01.1988

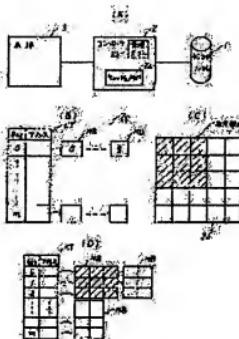
(72)Inventor : IZUMIDA NAOKI

(54) DISK CACHE CONTROL SYSTEM

(57)Abstract:

PURPOSE: To improve a hit ratio without dropping the using efficiency of a cache memory even if accesses are concentrated by using a part of address information in a control table as a key value, allocating a management block to each key value and dividing a cache memory part into areas corresponding to respective key values to use the area.

CONSTITUTION: The control table 2b is constituted of using a part of access address information as a key value and allocating a management block MB to each key value and the cache memory part is divided into areas corresponding to respective key values to use the areas. Thereby, address continuous areas are distributed and stored by/in the cache memory 2a. Consequently, the cache memory can be effectively utilized, and even if accesses are concentrated into a partial area, data stored in the cache memory 2a are not immediately read out and the hit ratio can be improved.



⑧ 日本国特許庁 (JP)

⑨ 特許出版公開

⑩ 公開特許公報 (A) 平1-194042

⑪ Int. CL. * 3 G 08 F 12/08 3 2 0 序内整理番号 7010-5B ⑫ 公開 平成1年(1989)8月4日
12/12 F-7010-5B 審査請求 未請求 請求項の数 3 (全11頁)

⑬ 発明の名称 ディスクキャッシュ制御方式

⑭ 特開 昭63-18991

⑮ 出願 昭63(1988)1月29日

⑯ 発明者 泉田 直樹 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑰ 出願人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑱ 代理人 弁理士 山谷 啓景

明細書

1. 発明の名称 ディスクキャッシュ制御方式

2. 特許請求の範囲

① データを格納したディスクデバイス (1) と、

上位 (3) に接続され、且つ下位に該ディスクデバイス (1) を接続し、キャッシュメモリ部 (2a) と該キャッシュメモリ部 (2a) の管理テーブル (2b) とを含むコントローラ (2) とを有し、

該上位 (3) からのアクセスアドレス情報により該管理テーブル (2b) を操作し、要求データが該キャッシュメモリ部 (2a) にある時は、該キャッシュメモリ部 (2a) をアクセスするディスクキャッシュ制御方式において、

該管理テーブル (2b) を、該アドレス情報の一部をキー値とし、該キー値毎に管理ブロックを割り当てる構成とし、

該キャッシュメモリ部 (2a) を該キー値毎に領域分割して利用することを

特徴とするディスクキャッシュ制御方式。

② データを格納したディスクデバイス (1) と、

上位 (3) に接続され、且つ下位に該ディスクデバイス (1) を接続し、キャッシュメモリ部 (2a) と該キャッシュメモリ部 (2a) の管理テーブル (2b) とを含むコントローラ (2) とを有し、

該上位 (3) からのアクセスアドレス情報により該管理テーブル (2b) を操作し、要求データが該キャッシュメモリ部 (2a) にある時は、該キャッシュメモリ部 (2a) をアクセスするディスクキャッシュ制御方式において、

初期設定時に、該ディスクデバイス (1) の指定された領域を該キャッシュメモリ部 (2a) に読み込んでしRIU制御の対象外として確保しており、

該キャッシュメモリ部 (2a) の残余の領域を

特開平1-194042 (2)

該管理テーブル(2ト)によって管理して利用するようにしたことを

仲介とするディスクキャッシュ制御方式。

四 データを接続したディスクデバイス(1)と、

上位(3)に接続され、且つ下位にディスクデバイス(1)を接続し、キャッシュメモリ部(2ム)と該キャッシュメモリ部(2ム)の管理テーブル(2ル)とを含むコントローラ(2)とを有し、

該上位(3)からのアクセスアドレス情報を上位管理テーブル(2ト)を探査し、

要求データが該キャッシュメモリ部(2ム)に有る時は、該キャッシュメモリ部(2ム)をアグセスするディスクキャッシュ制御方式において、

該管理テーブル(2ト)を、該アドレス情報を一部をキー部とし、該キー部に管理ブロックを割り当てる構成し、

初期設定時に、該キャッシュメモリ部(2ム)に該ディスクデバイス(1)の指定された領域を

読み込んでしR U制御の対象外として接続しておき、

該キャッシュメモリ部(2ム)の現水の領域を各キー部毎に領域分割して利用することを仲介とするディスクキャッシュ制御方式。

3. 発明の詳細な説明

(首次)

概要

産業上の利用分野

従来の技術(第6図、第7図)

発明が解決しようとする問題

問題を解決するための手段(第1図)

作用

実施例

(a) 一実施例の構成の説明

(第2図、第3図、第4図)

(b) 一実施例群の取り扱いの説明

(第5図、第6図)

(c) 一実施例リード/ライト処理の説明

(第6図、第7図)

(4) 他の実施例の説明

発明の結果

(概要)

ディスクデバイス中のデータの内参照頻度の高いデータをキャッシュメモリに複数しておくディスクキャッシュ装置において、

アクセスが集中してもキャッシュメモリの利用効率が低下することなく、ヒット率を向上させるディスクキャッシュ制御方式に関する、

高速起動とヒット率の向上とを両立することを目的とし、

データを接続したディスクデバイスと、上位に接続され、且つ下位に該ディスクデバイスを接続し、キャッシュメモリ部と該キャッシュメモリ部の管理テーブルとを含むコントローラとを有し、該上位からのアクセスアドレス情報を上位該管理テーブルを用いて、要求データが該キャッシュメモリ部にある時は、該キャッシュメモリ部をアグ

セスするディスクキャッシュ制御方式において、該管理テーブルを、該アドレス情報を一部をキー部とし、該キー部に管理ブロックを割り当てる構成し、該キャッシュメモリ部を該キー部毎に領域分割して利用すること、又はディスクデバイスの指定された領域をキャッシュメモリ部に読み込んでしR U制御の対象外として接続しておき、キャッシュメモリ部の現水の領域を該管理テーブルによって管理して利用するようにした。

(産業上の利用分野)

本発明は、ディスクデバイス中のデータの内参照頻度の高いデータをキャッシュメモリに複数しておくディスクキャッシュ装置において、アクセスが集中してもキャッシュメモリの利用効率が低下することなく、ヒット率を向上するようにしたディスクキャッシュ制御方式に関する。

近年のプロセッサ(CPU)の性能向上に伴い、ギガバイト以上の大容量の記憶装置をサポートするシステムが開発されており、アクセスの集中に

特開平1-194042 (3)

よるレスポンス時間の増大がシステム性能上ネックとなっている。

この対策として、キャッシュメモリに付加したディスクキャッシュ装置を採用することが一般的である。

ディスクキャッシュの動作原理は、ホストからの磁気ディスク装置上のデータへのアクセスの権利を利用して、参照頻度の高いデータを磁気ディスク装置内に付加されたキャッシュメモリに複数することにある。この複数したデータへの再アクセスの際には、磁気ディスク上のデータをアクセスする代わりに、キャッシュメモリからの直接転送によって高速アクセスを実現する。

キャッシュメモリ上のデータはLRU(Least Recently Used)アルゴリズムにもとづき入れ替えられる。

したがって、その時点でアクセス頻度の高いデータがキャッシュメモリ上に保持される。このデータへのホストからのアクセス要求に対してはキャッシュメモリから転送でき、磁気ディスクのフ

クセスに伴うメカニカルな動作を不要とする。これによって、1/10の応答時間が短縮できるので、アクセス頻度が増加しても、1/10の応答時間はさほど増加しない。

このようなディスクキャッシュの性質は、全アクセス中のヒット率(キャッシュメモリにデータが存在する確率)によって大きく左右されることから、特にキャッシュメモリの有効利用を実現し、ヒット率を向上できる技術が求められている。

(従来の技術)

第8図はディスクキャッシュの既明圖である。

図中、1はディスクデバイス、2はコントローラ、2aはキャッシュメモリ部、2bは管理テーブル、3は上位(ホスト)である。

データのリード時は、第8図(A)に示すように、上位であるCPU3の要求するリードデータについて管理テーブル2bを探査し、ヒット(データ存在)、ミスヒット(データ不存在)の判定を行い、ミスヒットならディスクデバイス1から、

ヒットならキャッシュメモリ部2aからデータを転送する。

又、ミスヒットなら、キャッシュメモリ部2aに新たに領域を割り付け、要求されたデータをディスクデバイス1からキャッシュメモリ部2aに転送構納しておく。

一方、データのライト時は、第8図(B)に示すように要求されたライトデータの全てについて管理テーブル2bを探査し、ヒット、ミスヒットの判定を行い、ヒットならキャッシュメモリ部2aのデータを更新し、ミスヒットならディスクデバイス1のデータを更新する。

このミスヒットの場合に、キャッシュメモリ部2aにミスヒットライトデータの搭載域を新たに割り付け構納する方法もある。

このようなディスクキャッシュ装置では、ヒット率向上が最大の課題である。

第9図は従来技術の既明圖である。

キャッシュメモリの管理方法として、第9図(A)に示すセット・アソシアティブ方式と、第

9図(B)に示すフル・アソシアティブ方式が知られている。

セット・アソシアティブ方式は、ディスク装置1～10全体を連続している論理アドレスの領域をいくつかの組み、B…に分け、キャッシュメモリ2aも対応して分けており、分割した各々でマッピングをとるメモリ2aを割り当てるものであり、管理テーブル2bを分割して探索できるため、高速データができる。

又、フル・アソシアティブ方式は、ファイル装置全体で1つの管理テーブル2bによりキャッシュメモリ2aを管理するものであり、メモリ2aを有効利用できる。

又、LRU判別に優先度をつけており、参照頻度の高いデータはキャッシュメモリ2aのメモリ占有優先度を高くしておこうにして、キャッシュメモリ2aから取るデータが追い出され(purge)ないようにして、ヒット率を向上する方法も知られている(例えば特許「日経エレクトロニクス」JPO 1985.3.11号第215頁乃至第216頁参照)。

特開平1-194042(4)

(発明が解決しようとする問題)

しかししながら、キャッシュメモリの管理において、第9図(A)のセット・アソシアティブ方式では、キャッシュメモリ2²の現金(マッピング)処理を高進化できるが、アクセスが分割したある組(組番又は領域)に集中すると、次々としLRU制御でキャッシュメモリからデータが追い出され、メモリ2²の有効利用ができず、ヒット率が低下するという問題があった。

又、第9図(B)のフル・アソシアティブ方式では、メモリ2²がはじめ組に分割されていないので、メモリ2²を有効に利用でき、アクセスが集中してもヒット率が向上する反面、管理テーブル2¹は一連のものため、現金(マッピング)処理に時間がかかるという問題があった。

更に、参照頻度の高いデータをしLRU制御におけるメモリ占有優先度を高いものとしておく方式においては、ヒット率が向上するものの、データのアクセス頻度に優先度の設定が必要となり、アク

セス時間が長くなるという問題があった。

本発明は、高速処理とヒット率の向上とを両立することのできるディスクキャッシュ制御方式を提供することを目的とする。

(課題を解決するための手段)

第1図は本発明の原理説明図である。

第1図(A)において、第2図及び第9図で示したものとの同一のものは同一の記号で示してある。

本発明は、第1図(B)に示すように、管理テーブル2¹を、アクセスアドレス情報の一部をキーkeyとして、キー毎に管理ブロックを割り当てる構成とし、キー毎に管理ブロックMBを割り当てる構成とし、キャッシュメモリ2²をキー毎に領域分割して利用するものである。

又、第1図(C)に示すように、初期設定時に、ディスクデバイス1の指定された領域をキャッシュメモリ2²に読み込んで、図の新規の細く、LRU制御の対象外として確保しておき、キャッシュメモリ2²の現金の領域(図の赤線外)を管理テーブル2¹によって管理して利用するよう

にしたものである。

更に、第1図(D)に示すように、管理テーブル2¹を、アドレス情報の一部をキーkeyとして、キー毎に管理ブロックを割り当てる構成するように、初期設定時に、ディスクデバイス1の指定領域をキャッシュメモリ2²に読み込んで、図の新規の細く、LRU制御の対象外として確保しておき、キャッシュメモリ2²の現金の領域を各キー毎に領域分割して利用するものである。

(作用)

本発明は、第1に従来セット・アソシアティブ方式として一連の連続アドレス毎に、メモリ2²を領域分割したものを、アドレスの一部をキーkeyとして、キー毎にメモリ2²領域分割するようにした。

これによって、一連の連続アドレスのデータはキー級で不連続な領域に分割して管理されるので、アクセスがディスクデバイスのある組番や領域に集中しても、特定のkeyの領域のみが使用され

ることなく、分散使用される。

使って、メモリの効率を向上し、しLRU制御によって追い出される可能性性が小となるから、ヒット率が向上し、キー毎による管理ブロックの高進度検索との両立を図れる。

第2に、初期設定時に、ディレクトリや文字パターン等の複数をアクセスされるデータをキャッシュメモリ2²に読み込んで、LRU対象外として確保するので、子じめ初期設定時にしLRU対象外の設定ができる、アクセス毎に係るデータをキャッシュメモリに読み込み且しLRU対象外の制御を行わなくてよい。

使って、アクセス時間を短縮し且ヒット率の向上を図れる。

第3に、アクセス頻度の高いデータを子じめキャッシュメモリに移動しておき、現余の領域をキー毎に領域分割するので、アクセス頻度を反映したメモリの最適な領域振り分けができる、高進度検索とヒット率向上を実現できる。

特開平1-194042(5)

(実施例)

(a) 一実施例の構成の説明

第1図は本発明の一実施例ブロック図、第3図は第2回路成の管理テーブルの構成図である。

図中、第1図、第3図及び第9図で示したものと同一のものは同一の記号で示してあり、20は主制御部であり、マイクロプロセッサ(MPU)で構成され、上位からのコマンド解釈処理、コマンド実行処理等をプログラムの実行によって行うもの、21はキャッシュコントローラであり、キャッシュメモリ22のページ管理、履歴管理、LRU処理等を行うもの。

22はシステムバスコントローラであり、システムバス4に接続され、上位(本体システム)3とコマンド、データのやりとりを行うもの、23は入出力コントローラ(I/O)であり、ディスクデバイス1a～1nと接続され、ディスクデバイス1a～1nとの入出力制御をするもの、24はRAM(ランダムアクセスメモリ)であり、第3図の管理テーブル2tが設けられるもの、25

はI/Oバスであり、I/O C23、システムバスコントローラ22及びキャッシュメモリ20を接続し、データのやりとりを行うもの、25bはローカルバスであり、制御部(MPU)20、システムバスコントローラ22、I/O C23、RAM24及びキャッシュコントローラ21を接続し、コマンド、データのやりとりを行うものである。

キャッシュメモリ2aは、RAM(ランダムアクセスメモリ)で構成され、4メガバイト程度の容量を有するものである。

30は本体側のプロセッサ(CPU)であり、31はメインメモリであり、32は本体側のシステムバスコントローラ、33はROM(リードオンリーメモリ)である。

第3図により管理テーブル2tについて説明する。

第3図(B)に示すようにアクセスアドレスは、アクセスするディスク装置番号(ディスクアドレス)4aと、そのディスク装置上の物理ブロックアドレス4bとで構成される。

キャッシュメモリ2aの管理サイズとして1ページを4ブロックとすると、物理ブロックアドレス4bの下位3ビットのトータルはページ内アドレスを示し、それ以外はページアドレスを示す。

ここでは、ページアドレスの下位3ビットをキーkeyとして用いる。

管理テーブル2tとは、キー被テーブルKTと、管理ブロックMBとで構成されている。

キー被テーブルKTは、各キーkeyに対応し、管理ブロックMBの使用中先頭アドレスリスト、未使用先頭アドレスリスト、使用中最終アドレスリストが設けられている。キー被数mは、rビットとすると、 2^r である。

管理ブロックMBは、1ページを4キロバイトとすると、キャッシュメモリ2aは約4メガバイトのため、1024ページに分割されると、各ページに対応して、1024ヶ所が設けられる。

管理ブロックMBは、リンクエリア(次のブロックの連絡情報)SLAと、格納したデータの属性(アドレス情報とSRU対象外データタイプDT

Yカラム等)と、対応するキャッシュメモリ2aのバッファ(メモリ)アドレスと、データの有効範囲とを格納する。

第4図は第2回路成の管理テーブルの説明図である。

ディスクデバイス1a～1nの連続アドレスのページ領域 $m \times 1$ 、 $m+1$ 、 $m+2$ は、アドレスの一部としてのキーkeyが異なるため、キー被テーブルKTのキー被key「a」、「n+1」、「n+2」に分離して振り分けられることとなる。

従って、キャッシュメモリの効率利用、即ち分散利用が図られ、高速のテーブルサーチと、アクセスの集中があつても、ヒット率の向上が図れる。

(b) 一実施例割り振り処理の説明

第5図は本発明の一実施例割り振り処理フロー図、第6図は本発明の一実施例動作説明図である。

① 初期設定時に、本体システム3から割り振りコマンドが発せられると、アグザミ2では、システムバスコントローラ22を介しMPU20が受信し、コマンド解釈する。

MPU20は、キャッシュコントローラ21に割り振り指示を与える。

キャッシュコントローラ21は、RAM24の管理テーブル21bの全ての管理ブロックMBを未使用キューにリンクする。

次に、キャッシュコントローラ21は、本体システム3から割り振りの特定領域の指定があったかを調べる。

④ キャッシュコントローラ21は、特定領域の指定があれば、その指定領域の先頭アドレスを認識し、対応するキー値keyを計算する。

⑤ 次にキャッシュコントローラ21は、未使用的管理テーブル(ブロック)MBをアグリゲート内未使用キューから復帰制御する。

キャッシュコントローラ21は、獲得に失敗すると、即ち未使用管理ブロックMBが必要数以下又は等なら、全ての管理テーブル(ブロック)をアグリゲート内未使用キューにリンクして、異常終了とする。

⑥ 一方、キャッシュコントローラ21は、獲

得に成功すると、I/O C23より基盤アドレスのディスクデバイス1-a-1nのデータを、キャッシュメモリ2aの当該管理ブロックの領域に読み込み、格納する。

この時、管理ブロックMBのデータ属性としてデータタイプ指定フラグ(L R U 対象外フラグ)TYPEを立てておく。

更に、キー値テーブルKTの該当キーへ基盤管理ブロックMBをリンクさせる。

次にキャッシュコントローラ21は、指定領域の終了を調べ、指定領域の終了でないと、次の領域のアドレスをポイントし、ステップ④に戻る。

一方、キャッシュコントローラ21は、指定領域の終了と判定すると、他の領域が複数されているかを調べ、指定されなければ、ステップ④に戻り、次の領域の読み込みを行う。

又、指定されていなければ、次のキー値keyをポイントする。

⑦ 次に、キャッシュコントローラ21は、既に未使用管理ブロック(テーブル)MBが有るか

を調べる。

未使用テーブルが有れば、そのキー値に未使用管理ブロックを割り振り、次のキー値keyをポイントし、ステップ①の先頭に戻る。

未使用テーブルMBがなければ、正常終了する。

⑧ 一方、ステップ④で特定領域の指定がなければ、キー値テーブルKTのキー値key=0をポイントし、ステップ①に進む。使って、指定なしでは、第6図(B)のように、各キーkeyに対し、両側の管理ブロックMBが割り振られ、これによって各キーkeyに対するキャッシュメモリ2aの領域数は同一となる。

逆に、特定領域が指定され、例えば、特定領域がキーkeyの「0」～「n」でもブロック一つとすると、第6図(A)に示すように、キーkeyの「0」～「n」に対し、4つのLRU対象外の管理ブロックMBが割り振られ、残余の管理ブロックMBはキーkeyの「0」～「m」に均等に割り振られる。

使って、アクセス頻度に応じてキャッシュメモリ2aが領域分割されることになる。

(c) 一実地リード/ライト処理の説明

第6図は本発明の一実地リード/ライト処理フロー図である。

① 本体3からのコマンドは、システムバス4を介しシステムコントローラ23に受けられ、ローカルバス25を介しMPU20に与えられる。

MPU20は、与えられたコマンドを解析し、リード又はライトコマンド受信と判定すると、キャッシュコントローラ21にキャッシュ削除を命じる。

キャッシュコントローラ21では、コマンドに付随する本体3からのアクセス権番4と該当ブロックアドレス5によりアドレス情報を作成し且つ第3図(B)のようにキーkeyを計算する。

そして、RAM24の管理テーブル21bのキー値テーブルKTから基盤キーkeyにリンクされている最初の管理ブロックをポイント(指す)

特開平1-194042(7)

る。

④ キャッシュコントローラ21は、該当キーの使用中管理ブロックがあるかを使用中光頭アドレス_{11:0}により調べ、有ればヒット、ミスヒットの判定に進む。

即ち、キャッシュコントローラ21は、リンクされた使用中管理ブロックを調べ、該当アドレス情報に一致するものであるかを調べる。

あれば、ヒットであり、キャッシュメモリ23の該当管理ブロックの示すバッファアドレスにデータが存在するから、ステップ③のヒット時のデータ転送処理に進む。

逆になければ、ミスヒットであるから、該当参照した使用中管理ブロックMBのデータ属性中のデータタイプを調べ、データタイプとしてLRU対象外の指定でないものの違い出し(purge)管理ブロック機構として削除しておく。又、LRU対象外の指定のものは、違い出し機構から除外する。

そして、使用中最終テーブル(ブロック)まで調べたかを判定し、満たでなければ、次の管理ブ

ロックをポイントし、このステップ④の先頭に戻り、ミスヒット判定に戻る。

逆に最終テーブルまで調べても、ミスヒットなら、ステップ④に進む。

⑤ MPU20は、ヒットであれば、I/O C23とシステムバスコントローラ22とキャッシュコントローラ21に転送起動をかけ、I/Oバス25を介するコントローラ22とキャッシュメモリ23及びI/O C23の転送ルートを指示する。

従って、リードであれば、キャッシュメモリ23から要求データがシステムバスコントローラ22へ転送され、更にシステムバス4を介し本体3

のメインメモリ31へ転送される。

一方、ライトであれば、メインメモリ31からシステムバス4を介し与えられたライトデータがシステムバスコントローラ22からキャッシュメモリ23へ転送され、書込まれる。

これとともにI/O C23にライトデータが転送され、ディスクデバイス18～16に書込まれる。

そして、ステップ④に進む。

⑥ キャッシュコントローラ21は、ステップ④で使用中管理ブロックなし、又はステップ④で、ミスヒットと判定すると、該当キーkeyの未使用中管理ブロックがあるかを判定する。

未使用中管理ブロックがあれば、未使用中管理テーブルキューの先頭のテーブルを復帰し、該当テーブル(ブロック)に必要な情報を書き込み、ステップ④のミスヒット時のデータ転送処理に進む。

⑦ 一方、ステップ④で未使用中管理ブロックなしと判定すると、キャッシュコントローラ21はLRUアルゴリズム制御を行う。

即ち、ステップ④で復帰されたLRU候補のテーブル(アドレス)があったかを調べる。

なければ、全ての管理ブロックはLRU対象外のため、該当キーkeyでのキャッシュメモリの使用不可のため、ステップ④のキャッシュメモリを用いないデータ転送処理に進む。

一方、候補テーブル(アドレス)があれば、コマンドがリードかライトかを調べる。

コマンドがライトなら、ページ(perge)しなく

てもよいから、ステップ④のキャッシュメモリを使用しないデータ転送処理に進む。

一方、コマンドがリードなら、該当復帰された管理テーブル(ブロック)を違い出しテーブルとして獲得し、管理ブロックの内容を書き換えて、ステップ④のミスヒット時のデータ転送処理に進む。

⑧ MPU20は、リードなら、I/O C23にディスクデバイス1のリード起動を命令する。

そして、システムバスコントローラ22とキャッシュコントローラ21を転送起動する。

従って、ディスクデバイス1はリード起動され、リードデータは、I/O C23よりI/Oバス25を介しキャッシュメモリ23に与えられ格納されるとともに、システムバスコントローラ22へ転送され、更にシステムバス4より本体3のメインメモリ31へ転送される。

ライトなら、ステップ④と同様である。

そして、ステップ④に進む。

⑨ MPU20は、ローカルバス25よりシ

特開平1-194042(8)

システムバスコントローラ 2 及び IOC 23 を起動し、転送指示する。

これによってライトなら、システムバスコントローラ 22 から I/O バス 25 より IOC 23 にライトデータが転送され、ディスクデバイス 1 に書き込まれる。

一方、リードなら、ディスクデバイス 1 からのリードデータが IOC 23 より I/O バス 25 よりシステムバスコントローラ 22 へ転送され、システムバス 4 より本体 3 のメインメモリ 31 へ転送される。

④ また、ステップ③、⑤の終了後、当該管理テーブル（ブロック）MB を該当キー key からのリンクの先頭にリンクするようリンクエリア、先頭アドレス等を書き換え、終了する。

このようにして、アドレスの一部のキー key でキャッシュメモリ 2 を分割しているので、通常アドレスのアクセスに対し、分割領域の一部のみが使用されることなく、分散して使用されるから、メモリを有効利用でき且つ一つの領域が集中

使用され、必要なデータが LRU 制御で直ちに追い出されることもなく、ヒット率が向上する。

又、キー key 毎に管理ブロックをセーブするので、フル・アソシエイティブ方式に比し、マッピング処理がほぼ 1 / key 個に縮約され、高速のマッピング処理が可能となる。

更に、概要にアクセスされる領域については、最初のアクセスからヒットさせることができるとともに、データの追い出しはほかの領域にくらべ遅くことができ、初期設定時にまとめて行うことで、通常アクセス時に延滞時間が長くなることなく、ヒット率向上とアクセス時間の短縮を図れる。

このキー key の決定方法及び階級は、キャッシュメモリ 2 のサイズやキャッシュメモリ中の管理サイズ等の情報で決定すればよく、この実施例では、キャッシュメモリ 2 が 4 メガバイト、管理サイズ（ページ）が 4 キロバイトで、1,024 分割され、キー key は 128 であり、1 つのキー key に 8 ページ（8 管理ブロック）が指定されている。

(4) 他の実施例の説明

上述の実施例では、ディスクデバイスを key のデバイスで説明したが、1つであってもよく、ディスクデバイスは磁気ディスクデバイスに限らず、光ディスクデバイス等複数的操作を伴う周知のファイルデバイスを用いることができる。

又、第 7 図において、ミスヒット時にステップ⑥で、ライトコマンドに対し、キャッシュメモリへの格納を行わないようにしているが、リードコマンドと同様にキャッシュメモリへの格納を行うようにしてもよい。

更に、第 1 の請求項においては、初期設定でキャッシュメモリ 2 に指定領域を読み込まなくてよく、第 2 の請求項においては、変更のセット・アソシエイティブ方式等を使用してもよい。

以上本発明を実施例により説明したが、本発明は本発明の主旨に従い種々の变形が可能であり、本発明からこれらを排除するものではない。

【発明の効果】

以上説明した様に、本発明によれば、第 1 にアドレスの連続した領域に対し、キャッシュメモリ 2 で振り分けて格納されるので、キャッシュメモリ 2 を有効利用でき、アタリスが一部の領域に集中しても、キャッシュメモリ 2 に格納したデータが直ぐ追い出されることなく、ヒット率を向上できるとともに、高速のマッピング処理が可能となりアクセス時間も向上するという効果を図れる。

第 2 に、歩履頻度の高いデータを初期設定時にまとめてキャッシュメモリ 2 に読み込んで LRU 対象外として確保しておくので、ヒット率が向上するとともにアクセス時に LRU 制御を行わなくてよいためアクセス処理を高速化できるという効果を図れる。

第 3 に、歩履頻度の高いデータをはじめ LRU 対象外としてキャッシュメモリ 2 に確保しておく、キー key に残余の領域を振り分けるので、高速アクセスとヒット率の向上という効果を得る他

特開平1-194042(9)

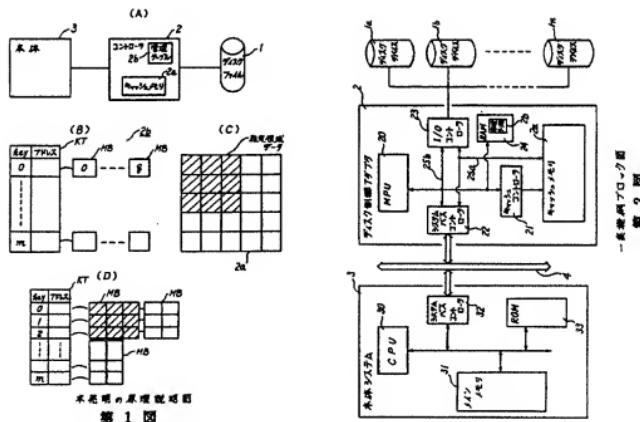
に、アクセス頻度を反映した領域分割があり、一層ヒット率を向上させるという効果も持つ。

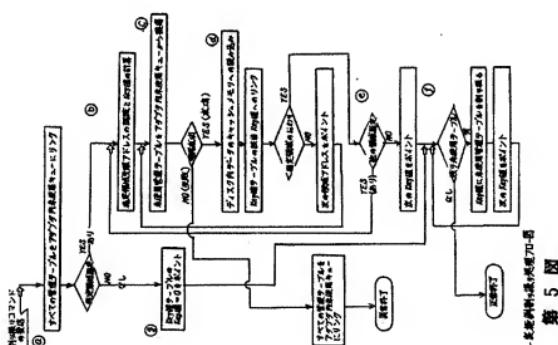
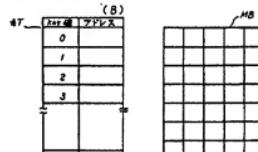
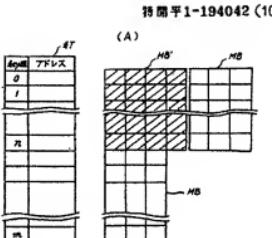
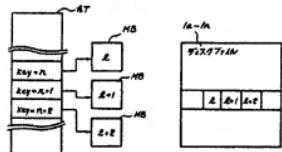
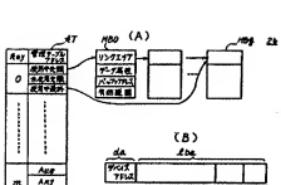
4. 図面の簡単な説明

- 第1図は本発明の環境説明図、
- 第2図は本発明の一実施例ブロック図、
- 第3図は第2図構成の管理テーブルの構成図、
- 第4図は第2図構成の管理テーブルの範囲図、
- 第5図は本発明の一実施例振り分け処理フロー図、
- 第6図は本発明の一実施例動作範囲図、
- 第7図は本発明の一実施例リード/ライト処理フロー図、
- 第8図はディスクキャッシュの説明図、
- 第9図は従来技術の説明図である。

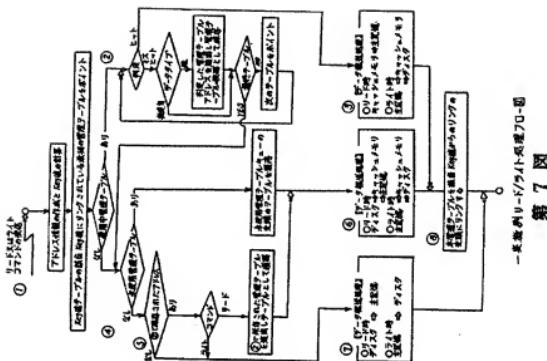
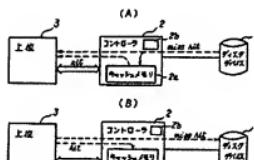
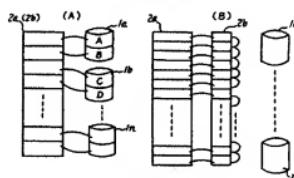
特許出願人 富士通株式会社
代理人弁理士 山谷 嘉英

図中、
 1—ディスクデバイス、
 2—コントローラー、
 2a—キャッシュメモリ部、
 2b—管理テーブル。





特開平1-194042 (11)

第7図
一連のリードライト処理フローディスクキャッシュの適用図
第8図汎用技術の適用図
第9図